

SS4 : 스마트*IT소재의 컴퓨터 활용 공정조합설계 심포지엄

SS4-1 | 박막 미세구조 형성에 대한 상장 모델 개발 현황

*권용우¹, 이환욱¹, 박정인¹, ALI Muhammad Hassaan¹

¹홍익대학교

대부분의 반도체, 디스플레이, 센서 소자는 박막공정을 통하여 제조된다. 박막소재의 미세구조는 소자의 성능 및 신뢰성에 큰 영향을 미치며, 이에 대한 이해 및 정교한 제어가 매우 중요하다. 미세구조 형성 과정은 원자 수준 계산으로 다루기에는 너무 많은 원자들이 관여되며, 기존의 상용화된 소자 시뮬레이션 프로그램의 수치 해석 방법으로는 수많은 결정립계 및 계면의 거동을 다룰 수 없다. 우리는 상장 모델을 활용하여 박막공정 초기의 성장 과정부터 열처리에 의한 결정화 과정까지 시뮬레이션하는 코드를 개발 중이다. 본 발표에서는 우리의 개발 현황을 소개하고자 한다.

SS4-2 | 상장모델을 활용한 UO₂ 입성장 전산모사 연구

윤보현¹, *장근욱¹

¹경희대학교

The phase-field method has been widely used as a very effective methodology to simulate the grain growth of polycrystalline materials. In three dimensions, grain boundaries have five degrees of freedom, and grain growth modeling that fully considers grain boundary energy anisotropy is a very challenging task due to the complexity of the phenomenon and the limitations of computational resources. The limitation of computational resources is a parallel acceleration method using CUDA, which expands the time scale to ten times compared to the previous one, and N. Moelans et al. Modeling was performed using the proposed fully anisotropic three-dimensional grain growth model. The UO₂ grain boundary energy dependent on crystallographic orientation and inclination was analytically applied to the proposed model. A comparison was performed with the existing three-dimensional isotropic grain structure and the experimentally obtained UO₂ microstructure, and the future development direction was suggested.

SS4-3 | 3D Logic Device 공정용 장비 전산모사 및 검증

*권득철¹, 정상영¹, 장원석¹, 임연호²

¹한국핵융합에너지연구원, ²전북대학교

반도체 제조 과정에서 플라즈마 공정의 중요성은 지속적으로 증가하고 있으며, 이러한 플라즈마 장비 특성을 분석하기 위한 연구가 본 연구진을 중심으로 다년간 진행되었다. 이를 위해 플라즈마 장비 및 공정 해석용 전산모사기와 데이터베이스가 개발되었고, 최근에는 센서와 전산모사를 연동하는 기술도 개발되어 왔다. 특히 본 연구에서는, 3D logic device 반도체의 핵심 공정인 식각 공정에 대한 장비 특성 분석을 위한 장비

스케일 전산모사를 수행하였으며, 전산모사 결과에 대한 신뢰성 확보를 위한 플라즈마 진단 기초 실험들을 수행하였다. 이번 발표에서는 개발된 전산모사기를 소개하고, 진단 결과와 비교 검증을 통해 개발된 데이터베이스와 전산모사 결과를 소개하고자 한다.

* 이 논문/특허 등(성과물)은 2020년 정부(과학기술정보통신부)의 재원으로 한국연구재단의 국가연구개발사업(2021M3H4A6 A01048300)과 국가과학기술연구회 2020년도 미래선도형 융합연구단사업 (No. CRC-20-01-NFRI)의 지원을 받아 수행된 연구임.

SS4-4 | 삼차원 메모리 핵심 공정에 대한 플라즈마 식각 공정의 전산모사

*임연호¹

¹전북대학교

반도체 산업은 선풍의 지속적 감소에 따라 3차원 구조 메모리 소자 개발에 집중하고 있으며, 공정 난이도가 가파르게 높아지고 있는 상황이다. 특히, 플라즈마 식각공정은 차세대 메모리 개발의 핵심으로 부상하고 있으나, 물리화학적 현상에 대한 이론적 정립이 어려운 분야로 시행착오법에 의한 개발이 아직까지 이루어지고 있다. 본 연구에서는 이들 공정에 대한 실험에 기반한 이론적 모델들을 개발하고 공정에 대한 전산모사를 수행하여 실 공정 예측도를 향상시키고자 하였다. 본 발표에서는 차세대 플라즈마 식각공정에 대한 이론적 모델 개발의 어려움과 해결 방안에 대한 연구 결과들을 토의하고자 한다.

SS4-5 | 원자층증착 공정의 해석을 위한 제일원리 전산모사 연구

*송봉근¹

¹홍익대학교

원자층 증착법 (Atomic Layer Deposition; ALD) 은 미세박막을 균일하게 증착할 수 있는 기술로서, 자기제한적 표면반응의 사이클을 이용한다. ALD에서 박막의 성장 방식 및 미세구조는 전구체의 기판표면 흡착반응에 의하여 생성된 결정핵의 밀도에 의해 좌우된다. 초기 생성되는 핵의 밀도는 공정 변수인 증착온도, 전구체 및 반응물의 분압은 물론이고 전구체 종류, 기판 상태에 의해서 영향을 받는다. 본 연구에서는 전구체의 흡착 표면화학 반응성에 대해 원자수준에서의 이론적인 접근을 통해 분석하고자 한다. 이를 위해 양자화학적 계산방법인 밀도범함수이론 (Density Functional Theory; DFT)이 갖는 높은 정확도를 바탕으로, ALD 증착 반응 및 흡착물의 확산반응을 포함하는 표면화학 반응을 규명하고자 한다. 특히 ALD 공정이 흔히 적용되는 HfO₂, In₂O₃ 등의 물질에 대하여 근본적인 수준에서 기판의 표면에너지와 전구체의 흡착반응을 전산모사 함으로서 향후 ALD 장비해석 모듈에 반영할 수 있도록 하고자 한다.

SS4-6 | 분자 동역학 웹 플랫폼 기반 반도체 공정에 필요한 원자 스케일 재료 특성 분석

*이민호¹, *박민규¹, *김영광¹

¹(주)버추얼랩

분자 동력학 시뮬레이션 계산은 통상적으로 Lammmps, Gromacs 등 solver 를 활용하여 연구자마다 리눅스 환경에서 시뮬레이션을 활용해왔다. 그러한 환경에서 사용하다보니 리눅스 환경이 익숙치 않은 연구 입문자에게 분자 동력학 활용에 대한 진입장벽이 매우 높다. 이러한 문제를 해결하기 위해 Materials studio 등 소프트웨어를 접할 수 있으나 서버 연결이나 환경 설정 등 또 다른 진입장벽으로 인해 기술적으로 분자 동력학을 접하기 어렵다. 당사는 이 문제를 해결하기 위해 웹에서 분자 동력학을 이용할 수 있는 플랫폼 서비스를 개발하여 분자 동력학 입문을 위한 진입 장벽을 해결해오고 있다. 반도체 박막 성장 및 3D 결정 성장 공정 연구에 있어서 원자 스케일에서는 표면 에너지, grain boundary energy, 증착 시 원자간 결합 특성, dislocation의 형성 등 여러가지 특성 분석이 요구된다. 이러한 특성은 실험적으로 얻기 쉽지 않기에 분자 동력학과 결합하여 이러한 특성을 그동안 계산해왔다. 본 발표에서는 웹 플랫폼과 결합하여 분자 동력학 입문자들이 이러한 특성을 보다 쉽게 계산할 수 있는 방법을 소개하므로 반도체 결정 성장 공정에 있어서 필요한 원자 스케일 특성을 구하는 방법의 진입장벽을 낮출 수 있는 방안을 소개하고자 한다.

SS4-7 | 다결정 박막의 실시간 미세구조 분석

*송경¹

¹한국재료연구원

차세대 반도체 로직 소자, V-NAND 기술 등에 핵심소재로서 사용되고 있는 폴리실리콘 (polycrystalline silicon) 박막은 전체적으로 실리콘과 유사한 특성을 보이지만 고유 실리콘과 달리 박막 공정의 열처리 과정에서 초기 비정질 박막의 결정화가 발생하고 열처리 온도에 따라 결정화 정도와 결함 등의 특성이 발현된다. 폴리실리콘 박막 내에 존재하는 결정립계와 결함들은 전자들을 트랩하여 소재의 전기적 특성을 저하하는 주요 요인이 된다. 최적의 공정조건을 확립하기 위해서는 공정조건 제어를 통한 미세구조 변화 분석이 필수이며, 핵 생성 및 결정립의 성장 메커니즘을 규명하기 위해서는 실시간 분석이 동반이 필요하다. 본 발표에서는 암시야 투과전자현미경 (dark-field transmission electron microscopy) 분석을 통해 열처리 온도, 박막 두께 등의 공정조건을 제어한 폴리실리콘 박막의 결정립 크기 분포 및 결함 분석 결과, 그리고 실시간 가열 투과전자현미경 (in-situ heating TEM) 분석을 통해 온도에 따른 폴리실리콘 박막의 미세구조 변화 분석 결과를 발표하고자 한다.

SS4-8 | 나노구조 실리콘에 증착된 초박막 HfO₂ 특성 분석

*이성민¹

¹한양대학교

실리콘 위에 원자층 증착(atomic layer deposition, ALD) 방법을 이용하여 형성한 10 nm 이하의 HfO₂ 박막 특성을 분석하였다. 우선 평면의 실리콘 위에서는, 비정질상으로 증착되는 특성으로 인해 as-deposited 박막 두께와 root-mean-square roughness (Rq) 값은 비례하는 경향을 관측할 수 있었는데, 400°C 이상의 온도에서 열처리를 하면 부분적 결정화로 인해 Rq값은 더욱

큰 폭으로 증가함을 확인할 수 있었다. 실리콘 나노홀 (nano-hole) 위에 증착된 HfO₂ 박막의 경우, 홀의 직경 100 nm 이상의 경우 비교적 균일한 박막을 얻어낼 수 있음을 확인하였다. 하지만 홀의 깊이(depth)가 깊어질수록 박막 두께가 상대적으로 감소하는 비균일성을 띠게 됨을 확인할 수 있었다.

SS4-9 | Wafer-scale uniformities and conformalities of HfO₂ thin films deposited on trench structures via plasma-enhanced atomic layer deposition

*JEON Nari¹

¹Chungnam National University

HfO₂ thin films exhibit promising potential as high-K dielectrics capable of replacing conventional SiO₂ gate dielectrics. Among various deposition techniques, atomic layer deposition (ALD) offers distinct advantages: precise control over film thickness down to the Angstrom level, exceptional reproducibility, and superb conformality, especially on complex topological structures. Plasma-enhanced ALD (PEALD) is acknowledged for producing thin films of higher density at lower temperatures compared to thermal ALD. Moreover, PEALD thin films often possess improved physical, chemical, and optical properties compared to thermal ALD thin films. However, as PEALD involves complex particles like radicals, ions, and photons, which might be energetically unstable and/or directionalities, the crystallinity, interface properties, and film thickness of PEALD thin films deposited on trench structures might differ depending on trench location. In this study, we systematically characterize various properties of PEALD HfO₂ thin films, primarily focusing on growth rate, surface roughness, chemical composition, and crystallinity. Film conformality was meticulously assessed for HfO₂ thin films deposited on trench structures with a 1:13 aspect ratio.

SS4-10 | 실리콘 산화막 나노홀 내벽에 증착된 폴리실리콘 박막의 공정 조건에 따른 미세 구조 변화 분석

김수민¹, 구호정¹, *조성재¹

¹이화여자대학교

폴리실리콘은 long-channel TFT(thin-film transistor) 기술 영역에서 이미 잘 알려져 있는 기반 물질이나, 메모리 기술 영역에서 초고집적 vertical flash 셀의 채널 물질로 사용되며, 3차원 구조를 갖는 초고집적 VLSI 시스템을 구성하는 layer-insulated 반도체 소자의 적용이 활발히 이루어지기 시작하여, 나노 스케일 영역에서의 폴리실리콘 공정 기법과 물성에 관한 심도 있는 연구가 뒷받침되어야 할 필요성이 매우 크다. 본 연구에서는 실리콘 산화막에 형성한 지름 100 nm 수준의 나노홀의 내벽에 증착된 폴리실리콘 박막의 나노 구조를 분석하였다. 폴리실리콘은 공정

온도와 시간을 변수로 하는 저압화학기상증착 기법을 통해 증착하였으며, 나노홀의 깊이 방향으로의 thickness uniformity, 결정립의 크기와 분포 등에 대한 전반적인 분석을 수행하였다.

SS4-11 | 시뮬레이션을 활용한 원자층증착공정 기반 산화물 반도체 미세구조 제어 및 소자 특성 확보 연구

허재석¹, *정재경¹

¹한양대학교

산화물 반도체는 주로 디스플레이에 사용되며, 대면적 기판에 스퍼터링 방식을 통해 증착된다. 그러나 메모리, 시스템 반도체 및 나노 구조체 분야로의 확대 적용을 위해서는 원자층증착공정 (ALD)을 통한 미세한 두께/조성비 제어, 단차 피복 특성 확보가 필요하게 된다. ALD 공정 기반 산화물 반도체 소자를 메모리 및 시스템 반도체소자로 적용 시, 집적공정에서 저온 공정이 가능하기에 실리콘 CMOS 소자의 열적 열화 방지가 가능하다. 또한 저온에서 우수한 전계이동도 및 낮은 누설전류 특성을 갖기 때문에 메모리, 시스템반도체 소자의 소비전력을 획기적으로 저감시킬 수 있으므로 연구 개발이 절실한 상황이다. 다만 아직까지는 ALD 기반의 산화물 반도체에 대한 최적화와 더불어, 결정상에 대한 완전한 이해가 이루어지지 않은 상황이다. 이 때문에 다양한 공정 조합을 사용하여 비정질 및 다결정 상태의 산화물 반도체를 연구하고, 소자로의 적용 가능성을 검증하는 연구가 필요하며, 메모리 및 시스템 반도체 산업 적용에 적용하려면 소자 설계와 회로 설계를 위해 전기적 및 화학적 특성의 시뮬레이션이 함께 병행되어야 한다. 본 발표에서는 나노 트렌치 구조에 우수한 단차 피복성과 균일성을 갖는 원자층증착법 (ALD)에 기반한 최신 산화물 FET 연구 결과에 대해 소개하고 시뮬레이션을 통해 메커니즘에 대한 규명을 함께 진행하고자 한다. 구체적으로 다양한 ALD 전구체를 활용한 In 기반 산화물 반도체의 결정성 제어를 통하여 전계 이동도 100 cm²/Vs 이상, 게이트 스윙 70 mV/decade 이하, 구동전압 1 V 미만, 전류 점멸비 1E9 이상의 우수한 성능을 갖는 트랜지스터 구현이 가능함을 제시하고, 향후 CMOS 소자 집적화 공정 등으로의 확대 적용을 위한 이슈에 대해 논의하고자 한다.

SS4-12 | 공정조합설계에 기반한 고품위 다결정 Ge 활성층 실증 소재 공정 기술 개발 연구

*안동환¹

¹국민대학교

모노리식 3차원 반도체 칩의 개발에 있어서, 반도체 후공정면의 실리콘산화막위에 생성가능한 고품질 다결정 저매몰 박막은 주요 소재로서의 역할가능성이 기대된다. 본 발표에서는, 컴퓨터 계산을 활용한 공정조합설계법과 재료공정에 대한 이해가 다결정 저매몰 박막소재의 개발연구에 있어 어떤 도움을 주고 있는지에 대하여 소개할 예정이다. 다결정 저매몰 박막의 결정화 과정과 결정립 크기 등이 공정조건 변수에 따라 보이는 의존성 경향의 실증결과 설명 및 컴퓨터 재료 설계 및 모델링과의 상호 비교를 설명할 예정이다.

SS4-13 | 공정조합설계 기술을 이용한 금속촉매/2차원 나노소재/산화물 반도체 나노구조체 기반 고감도, 고선택성, 저전력 소비 가스 감지 소재 개발

*권기창¹, 홍구택², 심영석³

¹한국표준과학연구원, ²전남대학교, ³한국기술교육대학교

기술발전과 함께 수반되는 환경오염은 현대사회에서의 가장 큰 문제 중 하나로 대두되어 오고 있으며, 악취/유해가스 및 산업용 가스의 배출은 대기오염의 가장 큰 원인으로 지목받고 있다. 이러한 대기오염은 개인의 삶의 질을 떨어뜨릴 뿐만 아니라, 지속적인 위험에 노출되어 추가 피해가 발생할 수 있어 지속적으로 모니터링할 수 있는 가스센서의 수요가 증가하고 있다. 본 과제에서는 산업적으로 유출 시 큰 문제가 발생할 수 있는 방향족계 유해가스, 수소, 일산화탄소 등과 대표적인 생체지표가스인 아세톤, 일산화탄소, 황화수소, 산화질소, 암모니아 등을 고감도/높은 수준의 선택성을 갖는 가스 감지 소재를 설계하고 합성을 구현하여 신개념 센서 플랫폼을 개발하고자 한다. 이 과정에서 공정조합 설계 연구단의 공정조합설계 시뮬레이션 결과에 따라 소재 합성/소자 구현에 초점을 두어 새로운 가스센서 도출 및 플랫폼을 개발하고 센서 후보 소재 스크리닝을 통해 보다 빠른 공정개선을 구현하고자 하였다. 1차년도에서는 4세부 연구단 자체적으로 수행하고 있는 SiO₂ 나노로드 구조체를 이용한 In₂S₃ 직접 성장법과 In₂O₃ 큐보이드의 표면 황화반응을 통해서 단위 가스센서를 제작/측정하여 높은 가스반응성을 확인하였으며, 후속 연구로 다양한 금속산화물에 대해서 연구를 진행하고 있다.

SS4-14 | Study on Deposition of High Quality Ultrathin Multicomponent Film Using Atomic Layer Modulation

*이한보람¹, 오일권², 김슬기³

¹인천대학교, ²아주대학교, ³한국전자부품연구원

With the reduction in semiconductor device size, the thickness of thin films has exponentially decreased to a nanometer scale. However, the reduction in thickness leads to the degradation in film properties such as dielectric constant, leakage currents, and crystallinity. In this study, we aim to deposit ultrathin transition metal oxide films doped with rare earth elements with maintaining the excellent properties below 5 nm. The supercycle method by atomic layer deposition is not suitable for deposition of ultrathin multicomponent films since it requires a certain film thickness to maintain the desired mixing ratio. Therefore, in this research, we introduce a new approach, atomic layer modulation (ALM), for fabrication of dielectric layers below 5 nm with excellent properties. ALM allows the growth of multicomponent with predetermined composition ratio by regulating the steric hindrance and chemical reactivity of the two precursors within a single layer. This research can provide another route to overcome the challenges in the down scaling of semiconductor devices.